

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-260557
 (43)Date of publication of application : 16.09.1994

(51)Int.Cl. H01L 21/82
 G06F 15/60

(21)Application number : 05-047676
 (22)Date of filing : 09.03.1993

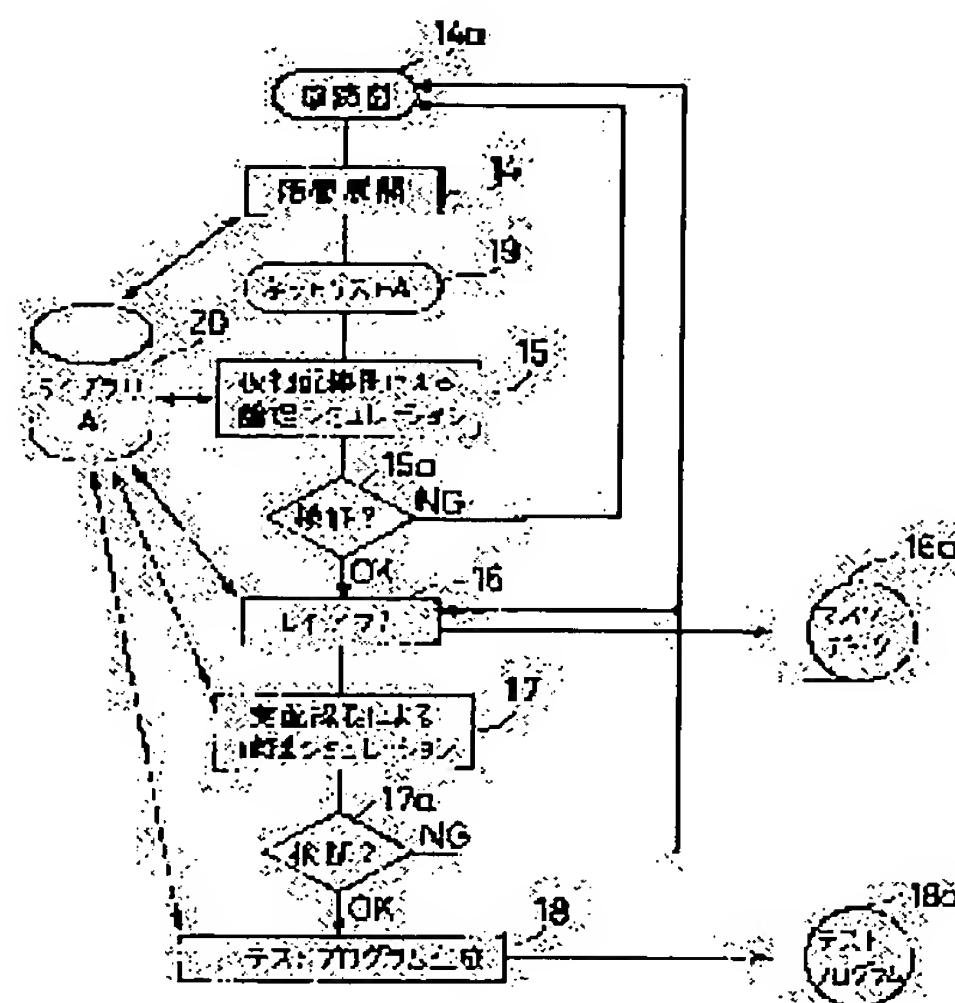
(71)Applicant : MITSUBISHI ELECTRIC CORP
 (72)Inventor : YOKOTA YOSHIO

(54) SEMICONDUCTOR DESIGN SUPPORTING SYSTEM

(57)Abstract:

PURPOSE: To design an LSI wherein a plurality of power supplies mixedly exist, by converting names of cells driven by different power supply potentials so as to correspond with the power supply potentials, distinguishing the parts driven by different power supply potentials, and forming a net list.

CONSTITUTION: A net list 19 is outputted on a hierarchy expansion part 14 by flatly expanding a circuit diagram 14a having hierarchy structure or by outputting the internal constitution of a simulation model or the like. The hierarchy expansion part 14 converts the names of cells which have the mutually same functions and are driven by different power supply potentials so as to correspond with the power supply potentials. A logic simulation part 15 using virtual wiring lengths calculates the delay time by converting the virtual wiring lengths registered into a library 20 in resistance components and capacitance components. Results of layout 16 are subjected to delay calculation by a logic simulation part 17. Whether a product is perfect is judged by test program formation 18. Thereby wiring design is enabled with a small amount of strong capacity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-260557

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
G 0 6 F 15/60	3 7 0 A	7623-5L 9169-4M	H 0 1 L 21/ 82	C

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21)出願番号 特願平5-47676

(22)出願日 平成5年(1993)3月9日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 横田 美穂

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

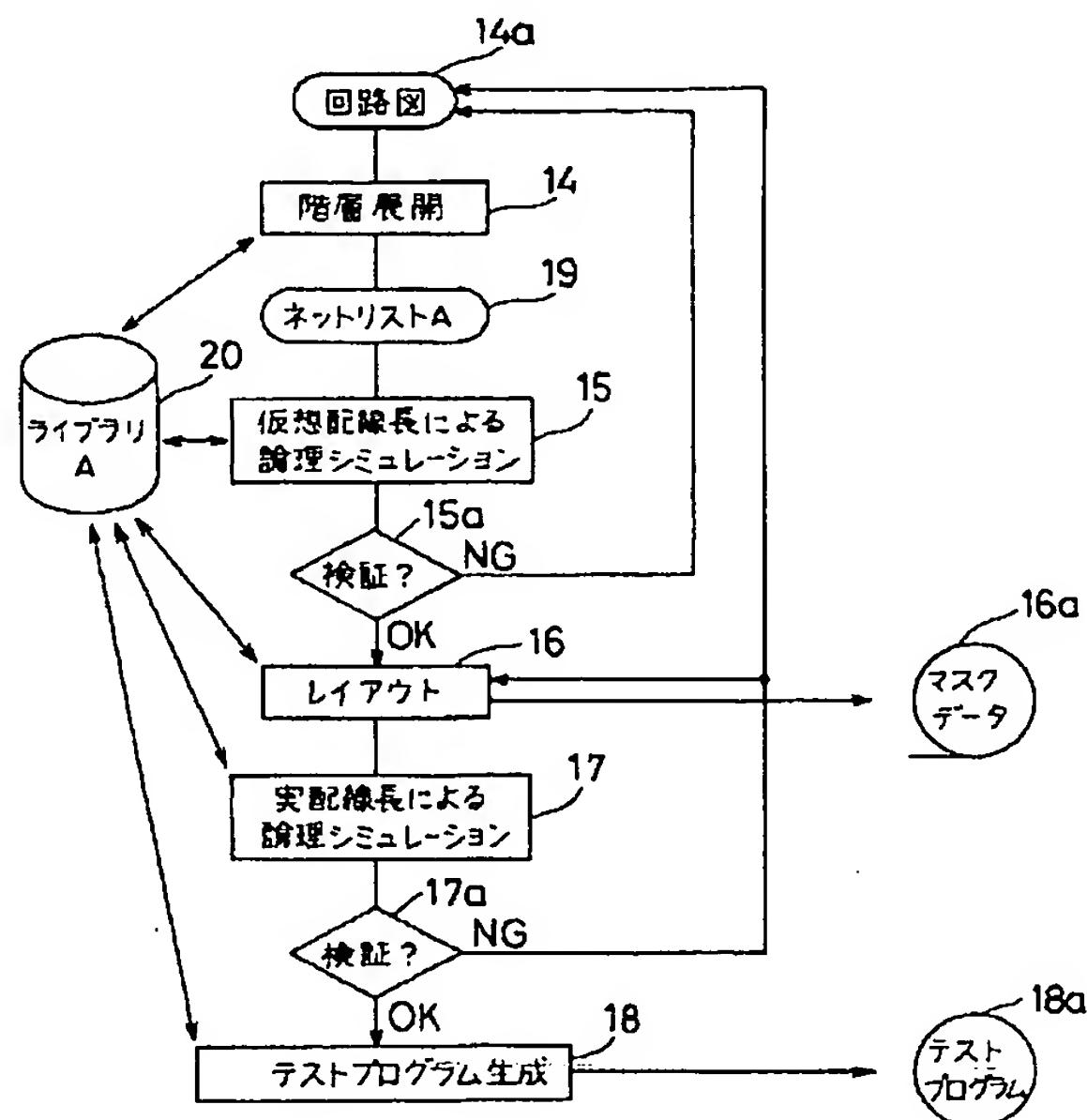
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 半導体設計支援装置

(57)【要約】

【目的】 複数電源混在 L S I の設計が行える半導体設計支援装置を得る。

【構成】 階層展開部 1 4 において、互いに同一機能を有し相異なる電源電位で駆動されるセルのセル名や信号名を電源電位に対応して変換することにより区別し、複数種類のネットを取り扱えるようにして、同一 L S I に複数電源が混在した L S I を設計できるようにした。



【特許請求の範囲】

【請求項1】 同一集積回路内に相異なる電源電位により駆動する部分を有する複数電源混在の半導体集積回路を設計支援する半導体設計支援装置であって、互いに同一機能を有し相異なる電源電位で駆動されるセルのセル名を電源電位に対応して変換するセル名変換手段を備え、複数電源混在の半導体集積回路を設計可能であることを特徴とする半導体設計支援装置。

【請求項2】 同一集積回路内に相異なる電源電位により駆動する部分を有する複数電源混在の半導体集積回路を設計支援する半導体設計支援装置であって、互いに同一機能を有し相異なる電源電位で駆動されるセルの信号名を電源電位に対応して変換する信号名変換手段を備え、複数電源混在の半導体集積回路を設計可能であることを特徴とする半導体設計支援装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体設計支援装置に関し、特に複数の電源を混在して使用するIC、LSI等の半導体集積回路（以下、LSIと称す）を設計できるようにしたものに関する。

【0002】

【従来の技術】 従来、主として設計されているLSIの電源電圧は、5Vの単一電源であった。その後、LSIが搭載される装置の小型化、軽量化に伴い、その電源も3V、3.3V等への低電圧化が図られていった。これは、バッテリー駆動の装置の場合、その低電圧化を行なえば、バッテリーを小型にかつ軽量にできるため、結果としてこれにより駆動される装置の小型化、軽量化が達成できるためである。しかし、いずれの場合も、5V、3V、3.3Vのように、1つのLSI内においては単一電源であり、その半導体設計支援装置（以下CADシステムと称す）も単一電源のLSI設計に対応するものであった。

【0003】 図5は従来のCAD(Computer Aided Design)システムを示す概略構成図で、図において、100はCADシステム用のソフトウェアが走行するCPU、101はこのCPU100用の小容量、高速メモリである記憶装置、102はこのCPU100用の大容量、低速メモリであるディスク装置、103はこのCPU100の処理結果や入力結果を画面表示する表示装置、104はこのCPU100に対しデータやコマンドを入力するためのキー入力装置であり、座標入力用としてマウスが付属している。

【0004】 次にその動作について説明する。キー入力装置104によりCPU100に対し、CADシステムの実行を指示すると、ディスク装置102に格納されているCADシステムは記憶装置101に転送される。こ

のようにして記憶装置101に転送されたCADシステムはCPU100によって実行され、必要に応じてディスク装置102から記憶装置101により読み出されたデータを処理し、その処理結果を表示装置103に表示する。

【0005】 図6はこの従来のCADシステムの動作を示す全体概略図で、ゲートアレイのCADシステムを例にとって示す。図6において、1は階層構造をもった回路図1aをフラットに展開したり、ライブラリとして提供しているマクロファンクションやシミュレーションモデル等の内部構成を出力してネットリスト1bを出力する階層展開部、2はライブラリ6に登録された仮想配線長を抵抗、容量成分に変換して遅延計算を行ない、その結果をもとにシミュレーションを行なう、仮想配線長による論理シミュレーション部、3は回路図を構成する素子をLSI内に配置し、また素子間の信号を配線するレイアウト部、4はレイアウトの結果の実配線長を抵抗、容量成分に変換して遅延計算を行ない、その結果をもとにシミュレーションを行なう、実配線長による論理シミュレーション部、5は論理シミュレーション部2、4のシミュレーションで使用したテストパターンを用いて製品の良品・不良品を判別するテストパターンを発生するテストプログラム作成部、6は階層展開部1、論理シミュレーション部2、レイアウト部3、論理シミュレーション部4、テストプログラム作成部5の各ステップに必要なデータを格納しているライブラリであり、階層展開部1に対してはデザインルール、使用できる素子など、論理シミュレーション部2に対しては仮想配線長、素子の遅延係数、素子の動作（ファンクション）、レイアウト部3に対してはチップ、素子の物理情報、論理シミュレーション部4に対しては素子の遅延係数、素子の動作、テストプログラム作成部5に対してはテストルール、テスト規格等の情報をそれぞれ格納している。

【0006】 図7はこのCADシステムによる階層展開前の回路図、表1は階層展開後のネットリストを示す。ユーザーは図7のような回路図を作成する。この回路図の作成はマウス等を用いて素子に対話的に配置し、素子間に対話的に結線するデザインキットを用いて入力する。回路図にはどのようなセルを使用し、さらにそれらのセルをどのように接続して所望のLSIを実現するかが示されている。CADシステムでは回路図を階層展開部1で表1に示すようなネットリストに変換する。

【0007】

【表1】

図7のネットリスト

G1	BI1N	PAD	I3	Y	S1
G3	VO1S	A	S1	Y	S2
G2	BI1N	PAD	I2	Y	S3
G4	N02S	A	S2	B	S3 Y S4
G5	BO1N	A	S4	PAD	O2
G6	BI1N	PAD	I1	Y	S5
G7	VO1S	A	S5	Y	S6
G8	BO1N	A	S6	PAD	O1

【0008】このネットリストの1行目には、ゲート識別名G1のBI1Nという素子のPADのピンに接続する信号は信号名I3で、Yピンに接続する信号は信号名S1の信号、という接続関係が記述されている。以下、一般的に、

ゲート識別名 素子名 ピン名 信号名 ピン名 信号名 …

という規則に従ってネットリストの各行が記述されている。なお、「ピン名 信号名」の対はピン数と同数だけ繰り返して記述する。

【0009】以下、このネットリストを用いて、まず、仮想配線長による論理シミュレーション2を行って、LSIの論理検証を行う。この論理検証2aの結果、所望の論理が得られていなければ、再度、回路図を作成し、階層展開1を行う。所望の論理が得られれば、次はレイアウト3を行う。レイアウト後に、今度は、実配線長による論理シミュレーション4を行う。ここでも、論理検証4aを行ない所望の論理が得られていなければ、再度レイアウトあるいは再度回路図入力を行い、所望の論理が得られていれば、レイアウト部3で作成したマスクデータ3aを用いて、マスクを作成し、LSIの製作を行う。その後テストプログラム5aを作成する。

【0010】通常のCADシステムではライブラリ6に詳細な情報を記述しておき、階層展開部1、論理シミュレーション部2、レイアウト部3、論理シミュレーション部4、テストプログラム作成部5の動作を行なう各プログラムは、必要に応じてライブラリ6を参照する。

【0011】なお、仮想配線長はレイアウト実行前に、即ち、素子間が実際に配線されていない状態で回路の論理検証を行なうために統計データ等から決定したもので、これを用いて素子の負荷容量、抵抗を決定する。例えば、あるチップの仮想配線長 l (エル) は、

$$l = K_a + K_b \times FO$$

という素子のファンアウト FO に依存する計算式によって求められる。なお、この K_a 、 K_b は統計的に求めら

れた係数である。

【0012】また、実配線長は、レイアウトの実行結果から、仮想配線長を実際の素子間の配線長に戻したもので、それを抵抗、容量成分に変換して素子の遅延時間を計算する。

【0013】次に従来のCADシステムのネットリスト展開時の動作について、図7の回路図を表1のネットリストに変換する時を例にとって説明する。入力信号I1すなわち信号7は、セル8のBI1NのPADピンに10 入力する。セル8のYピンからは信号9が出力し、セル10のVO1SのAピンに11 入力する。そしてセル10のYピンからは、信号11が出力し、セル12のBO1NのAピンに12 入力する。さらにセル12のYピンからは信号13すなわち、出力信号Q1が出力している。以下、入力信号I2、I3から出力信号Q2までのセルの接続情報も同様に記述していったものが、表1のネットリストである。階層展開1の時に同時にライブラリ6を用いてデザインルールのチェックを行っている。このデザインルールのチェックでは、

- 20 ① ゲート識別名、ユーザが作成する階層名が最大使用文字数以下か？
- ② 禁止文字を使用していないかなどのルールを満たしているか？
- ③ 素子の入力ピンオープンの記述がないか？
- ④ 外部とのインターフェイス回路としてバッファ素子を挿入しているかどうか？
- ⑤ ライブラリに登録されている素子以外の素子が使用されていないか？
- ⑥ 出力ピン同士の接続など素子間の接続が正しく行な

30 われているか？
などのチェックが行なわれる。

【0014】ライブラリ6には、BI1N、VO1S、N02S、BO1Nなどのセルが登録されている。表1のネットリストは、論理シミュレーションやレイアウトでプログラムの処理しやすいようなフォーマットに変換されている。この例では、信号7、9、11、13がそれぞれ00、01、02、03で示されている。

【0015】

【発明が解決しようとする課題】ところで、上述のように電源電圧を低電圧にした場合、内部回路の消費電力を下げることはできるが、LSIの入手の都合などにより同一基板上で異なるLSIを異なる電源電圧で駆動する必要がある場合などでは、電源電圧が異なるLSI間を40 インターフェイスする素子が必要になってくる。

【0016】このため、同一集積回路中に相異なる電源電位により駆動する部分を有する複数電源が混在したLSIが必要になるが、従来のCADシステムは以上のように構成されており、電源電圧の違いがネットリスト上に記述されていないため、単一電源のLSIの設計しか50 行えないという問題点があった。

5

【0017】この発明は、上記のような問題点を解消するためになされたもので、複数電源が混在したLSIの設計が行えるような半導体設計支援装置を得ることを目的とする。

【0018】

【課題を解決するための手段】この発明に係る半導体設計支援装置は、相異なる電源電位で駆動されるセルのセル名を電源電位に対応して変換し、相異なる電源電位で駆動される部分を区別してネットリストを生成するようにCADシステムを構成するようにしたものである。

【0019】また、この発明に係る半導体設計支援装置は、相異なる電源電位で駆動されるセルの信号名を電源電位に対応して変換し、相異なる電源電位で駆動される部分を区別してネットリストを生成するようにCADシステムを構成するようにしたものである。

【0020】

【作用】この発明による半導体設計支援装置においては、電源電位の違いを、ネットリスト内のセル名を変換することで区別し、複数のネットを取り扱えるようにしたので、複数電源が混在したLSIが設計できるようになる。

【0021】また、この発明による半導体設計支援装置においては、電源電位の違いを、ネットリスト内の信号名を変換することで区別し、複数のネットを取り扱えるようにしたので、複数電源混在用のライブラリが不要となり、少ない記憶容量で複数電源が混在したLSIが設計できるようになる。

【0022】

【実施例】実施例1. 以下、この発明の一実施例を図について説明する。図1は、この発明の一実施例を示す半導体設計支援装置の動作を示す全体概略図で、ゲートアレイのCADシステムを例に示す。この図1のフローは図5に示す装置と同様の装置により実行されるものである。

【0023】図1において、14は階層構造をもった回路図14aをフラットに展開したり、ライブラリとして提供しているマクロファンクションやシミュレーションモデル等の内部構成を出力してネットリスト19を出力する階層展開部であり、互いに同一機能を有し相異なる電源電位で駆動されるセルのセル名を電源電位に対応して変換する機能を有する。また、15はライブラリ20に登録された仮想配線長を抵抗、容量成分に変換して遅延計算を行ない、その結果をもとにシミュレーションを行なう、仮想配線長による論理シミュレーション部、16は回路図を構成する素子をLSI内に配置し、また素子間の信号を配線するレイアウト部、17はレイアウトの結果16の実配線長を抵抗、容量成分に変換して遅延計算を行ない、その結果をもとにシミュレーションを行なう、実配線長による論理シミュレーション部、18は論理シミュレーション部15、17のシミュレーション

(4)

6

で使用したテストパターンを用いて製品の良品・不良品を判別するテストプログラムを発生するテストプログラム作成部、19はこの実施例により階層展開部14で生成されたネットリストA、20はこの実施例によるCADシステムで必要となってくるライブラリAである。

【0024】この図1の階層展開部14、論理シミュレーション部15、レイアウト部16、論理シミュレーション部17、テストプログラム作成部18およびライブラリA20と図6の階層展開部1、論理シミュレーション部2、レイアウト部3、論理シミュレーション部4、テストプログラム作成部5およびライブラリ6の機能は基本的には同様である。ただし、この図1の装置では、複数電源混在のLSIのシミュレーションができるように、どの電源にどの素子がつながれているかを示すことができるように変更したライブラリ、ネットリストを取り扱うようにしている。

【0025】図2は、複数電源混在のLSIの回路図の一例である。Iの部分は電源電圧VDD1で動作させる部分、IIの部分は電源電圧VDD2で動作させる部分とする。表2は、この発明の一実施例により生成された、図2の回路図のネットリストAである。

【0026】

【表2】

図2のネットリスト

G1	BI1N1	PAD	I3	Y	S1
G3	V01S1	A	S1	Y	S2
G2	BI1N1	PAD	I2	Y	S3
G4	N02S1	A	S2	B	S3 Y S4
G5	BO1N1	A	S4	PAD	O2
G6	BI1N2	PAD	I1	Y	S5
G7	V01S2	A	S5	Y	S6
G8	BO1N2	A	S6	PAD	O1

【0027】次に、この発明の一実施例のCADシステムのネットリスト展開時の動作について、図2の回路図を表2のネットリストに変換する時を例に説明する。一般に同じセルであっても、電源電圧がVDD1の時とVDD2の時では、セルの特性が変わってくる。そこで、電源電位がVDD1で駆動させた場合と、VDD2で駆動させた場合のセルを別セルとして、ライブラリA20にセルの登録をしておく。例えば、セル21もセル22もセルのもつ機能としてはともにBI1Nと同じ表現を使用できるものであるが、セル21は、電源電圧VDD1で駆動させる部分Iで使用しているので、BI1N1、セル22は、電源電圧VDD2で駆動させる部分II

で使用しているのでB I 1 N 2という別のセル名に変換する。この変換は、回路図作成時にユーザに意識して生成してもらうようにしてもよいし、CADシステム内でVDD1で駆動させる部分とVDD2で駆動させる部分を認識して自動変換してもよい。

【0028】以上のように、セル名を変換することにより、表2に示されたネットリストが生成できる。ライブラリA20には、B I 1 N 1, B I 1 N 2, V 0 1 S 1, V 0 1 S 2, N 0 2 S 1, N 0 2 S 2, B 0 1 N 1, B 0 1 N 2等のセルが登録されている。

【0029】これ以降は、従来の装置と同様の処理を行なうことにより、複数電源を混在して使用するLSIのマスクデータおよびテストプログラムを生成することができる。即ち、このようにして作成されたネットリストを用いて、まず、仮想配線長による論理シミュレーション15を行って、LSIの論理検証を行う。この論理検証15aの結果、所望の論理が得られていなければ、再度、回路図を作成し、階層展開14を行う。所望の論理が得られれば、次はレイアウト16を行う。レイアウト後に、今度は、実配線長による論理シミュレーション17を行う。ここでも、論理検証17aを行ない所望の論理が得られていなければ、再度レイアウトあるいは再度回路図入力を行い、所望の論理が得られていれば、レイアウト部16で作成したマスクデータ16aを用いて、マスクを作成し、LSIの製作を行う。その後テストプログラム18aを作成する。

【0030】このように、上記実施例によれば、回路図をネットリストに展開する際にセル名を変更することにより、異なる電源電圧で駆動される部分のネットリストを区別できるようにしたので、複数電源混在LSIのCADシステムが実現できるという効果がある。

【0031】なお、この実施例では電源電圧がVDD1, VDD2の2電源混在の場合について示したが、2以上の電源電圧が混在する場合でも、同様に実現することができる。

【0032】実施例2. なお、上記実施例では、セル名を変更することで、複数電源混在LSIのCADシステムを実現したが、信号名を変更するようにしてもよく、これにより、上記実施例と同様の効果に加え、記憶容量を削減できる等のメリットを有するものが得られる。

【0033】図3はこの発明の他の実施例を示すCAD

システムの全体概略図で、ゲートアレイのCADシステムを例に示す。図において、21は階層構造をもった回路図をフラットに展開したり、ライブラリとして提供しているマクロファンクションやシミュレーションモデル等の内部構成を出力してネットリストを出力する階層展開部であり、互いに同一機能を有し相異なる電源電位で駆動されるセルの信号名を電源電位に対応して変換する機能を有する。また、15はライブラリに登録された仮想配線長を抵抗、容量成分に変換して遅延計算を行な

い、その結果をもとにシミュレーションを行なう、仮想配線長による論理シミュレーション部、16は回路図を構成する素子をLSI内に配置し、また素子間の信号を配線するレイアウト部、17はレイアウトの結果の実配線長を抵抗、容量成分に変換して遅延計算を行ない、その結果をもとにシミュレーションを行なう、実配線長による論理シミュレーション部、18は論理シミュレーション部15, 17のシミュレーションでを使用したテストパターンを用いて製品の良品・不良品を判別するテストパターンを発生するテストプログラム生成部、22はこの実施例により階層展開部21で生成されたネットリストB、23はこの実施例によるCADシステムで必要となってくるライブラリで、23aのライブラリBと、23bのライブラリCで構成されている。

【0034】この図3の階層展開部21, 論理シミュレーション部15, レイアウト部16, 論理シミュレーション部17, テストプログラム作成部18およびライブラリ23a, 23bと図1の階層展開部14, 論理シミュレーション部15, レイアウト部16, 論理シミュレーション部17, テストプログラム作成部18およびライブラリ20の機能は基本的には同様である。ただし、この図3の装置では、通常の単一電源用のライブラリB, Cなどをそのまま複数電源混在のLSIのシミュレーションができるようにこれを取り扱えるようになっている。

【0035】図4は、複数電源混在のLSIの回路図の一例である。Iの部分は電源電圧VDD1で動作させる部分、IIの部分は電源電圧VDD2で動作させる部分とする。表3は、この発明の一実施例により生成された図4の回路図のネットリストBである。

【0036】

【表3】

図4のネットリスト

G1	BI1N	PAD	I3	Y	S1A
G3	VO1S	A	S1A	Y	S2A
G2	BI1N	PAD	I2	Y	S3A
G4	N02S	A	S2A	B	S3A Y S4A
G5	BO1N	A	S4A	PAD	O2
G6	BI1N	PAD	I1	Y	S5B
G7	VO1S	A	S5B	Y	S6B
G8	BO1N	A	S6B	PAD	O1

【0037】次に、この発明の一実施例のCADシステムのネットリスト展開時の動作について、図4の回路図を表3のネットリストに変換する時を例に説明する。まず、信号24、26、28、30は、ネットリストでは初めはそれぞれI1、S5、S6、O1で記述される。入力信号I1は電源電圧VDD2で駆動される部分の入力信号なので、セル25の出力信号26は仮に添字Bを付けてS5Bとする。同様にして添字Bのついた信号が入力されたセル27の出力信号28に添字Bを付け、S6をS6Bにする。以下、このような処理を繰り返し行なう。

【0038】なお、本実施例では外部ピン名に添字を付けていない。同様に電源電圧VDD1で駆動される部分も同様に添字Aを付けて行く。以上のようにセル名を変換して、表3に示すネットリストBが生成できる。

【0039】ライブラリB23aには、電源電位VDD1で駆動させた時のBI1N、VO1S、BO1N等のセルの情報を、ライブラリC23bには、電源電圧VDD2で駆動させた時のBI1N、VO1S、N02S、BO1N等のセルの情報を置いておく。どちらかのライブラリを参照すべきかは、セルの出力信号の添字がAならばライブラリB、BならばライブラリCを参照すればよい。

【0040】これ以降は、従来および図1の装置と同様の処理により目的とするマスクデータおよびテストプログラムを生成することができる。即ち、このようにして作成されたネットリストを用いて、まず、仮想配線長による論理シミュレーション15を行って、LSIの論理検証を行う。この論理検証15aの結果、所望の論理が得られていなければ、再度、回路図を作成し、階層展開21を行う。所望の論理が得られれば、次はレイアウト16を行う。レイアウト後に、今度は、実配線長による論理シミュレーション17を行う。ここでも、論理検証17aを行ない所望の論理が得られていなければ、再度レイアウトあるいは再度回路図入力を行い、所望の論理

が得られていれば、レイアウト部16で作成したマスクデータ16aを用いて、マスクを作成し、LSIの製作を行う。その後テストプログラム18aを作成する。

【0041】このように、上記実施例によれば、セル名を変更するのではなく、信号名を変更することにより、複数電源混在LSIのCADシステムを実現するようにしたので、これにより、複数電源混在のLSIが設計可能になるという実施例1と同様の効果に加え、実施例1では同一の機能の素子であるにもかかわらず電源電圧が異なるために3V用、5V用、3V/5V混在用の3種類のライブラリを必要としたのが、実施例1で必要とした複数電源混在用のライブラリAを準備しなくても通常の単一電源用のライブラリB、Cなどをそのまま複数電源混在用のライブラリとして流用でき、記憶容量の削減や応答スピードの向上が可能になるという効果がある。

【0042】なお、この実施例でも、電源電圧が2電源混在の場合についてこれを示したが、2以上の電源電圧が混在する場合でも、これを同様に実現することができる。

【0043】また、上記各実施例では、ゲートアレイ用のCADシステムを例にとって説明したが、ASIC(Application Specific IC)等のCADシステムに適用してもよく、上記各実施例と同様の効果を奏する。

【0044】

【発明の効果】以上のように、この発明に係る半導体設計支援装置によれば、回路図をネットリストに展開する際に、互いに同一機能を有し相異なる電源電位で駆動されるセルのセル名を電源電位に対応して変換することにより、異なる電源電圧で駆動される部分のネットリストを区別できるようにしたので、複数電源混在のLSIが設計できるCADシステムが得られる効果がある。

【0045】また、この発明に係る半導体設計支援装置によれば、回路図をネットリストに展開する際に、互いに同一機能を有し相異なる電源電位で駆動されるセルの信号名を電源電位に対応して変換することにより、異な

る電源電圧で駆動される部分のネットリストを区別できるようにしたので、複数電源混在用のライブラリが不要となり、少ない記憶容量で複数電源混在のLSIが設計できるCADシステムが得られる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例による半導体設計支援装置の動作を示す全体概略図である。

【図2】複数電源混在LSIの回路図である。

【図3】この発明の他の実施例による半導体設計支援装置の動作を示す全体概略図である。

【図4】複数電源混在のLSIの回路図である。

【図5】従来および本発明の各実施例による半導体設計

支援装置の概略構成を示す図である。

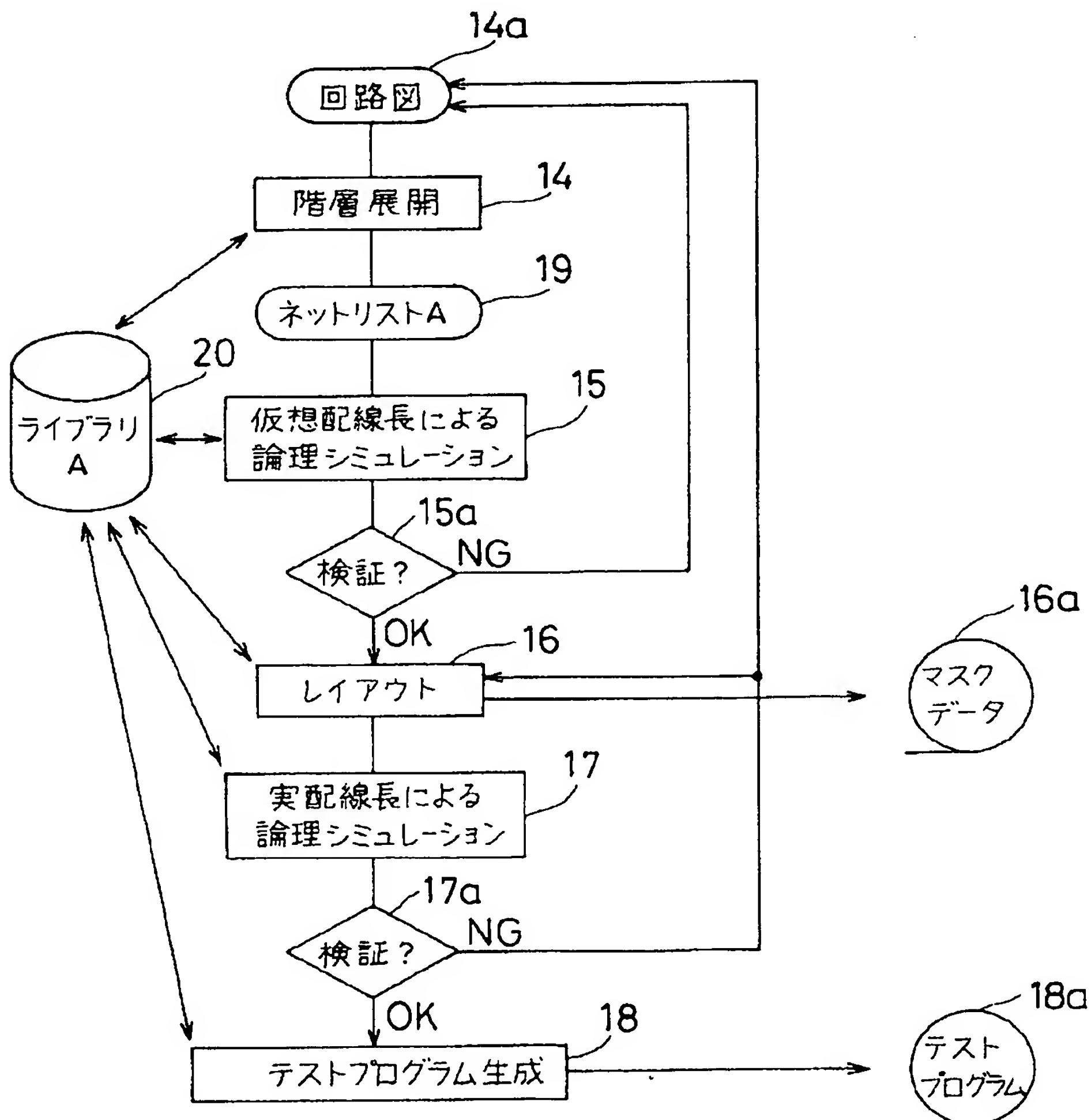
【図6】従来のCADシステムの動作を示す全体概略図である。

【図7】階層展開前の回路図である。

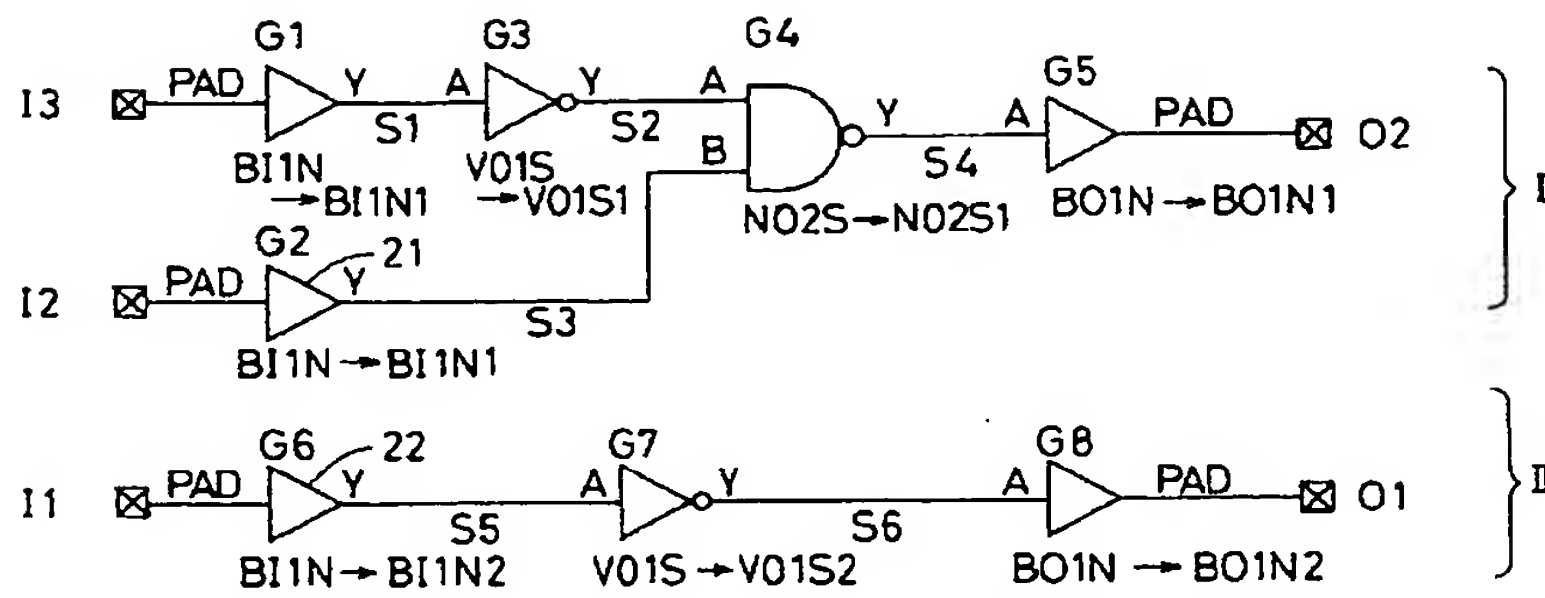
【符号の説明】

- 14, 21 階層展開部
- 15 仮想配線長による論理シミュレーション部
- 16 レイアウト部
- 17 実配線長の論理シミュレーション部
- 18 テストプログラム生成部
- 19, 22 ネットリスト
- 20, 23 ライブラリ

【図1】 Fig. 1

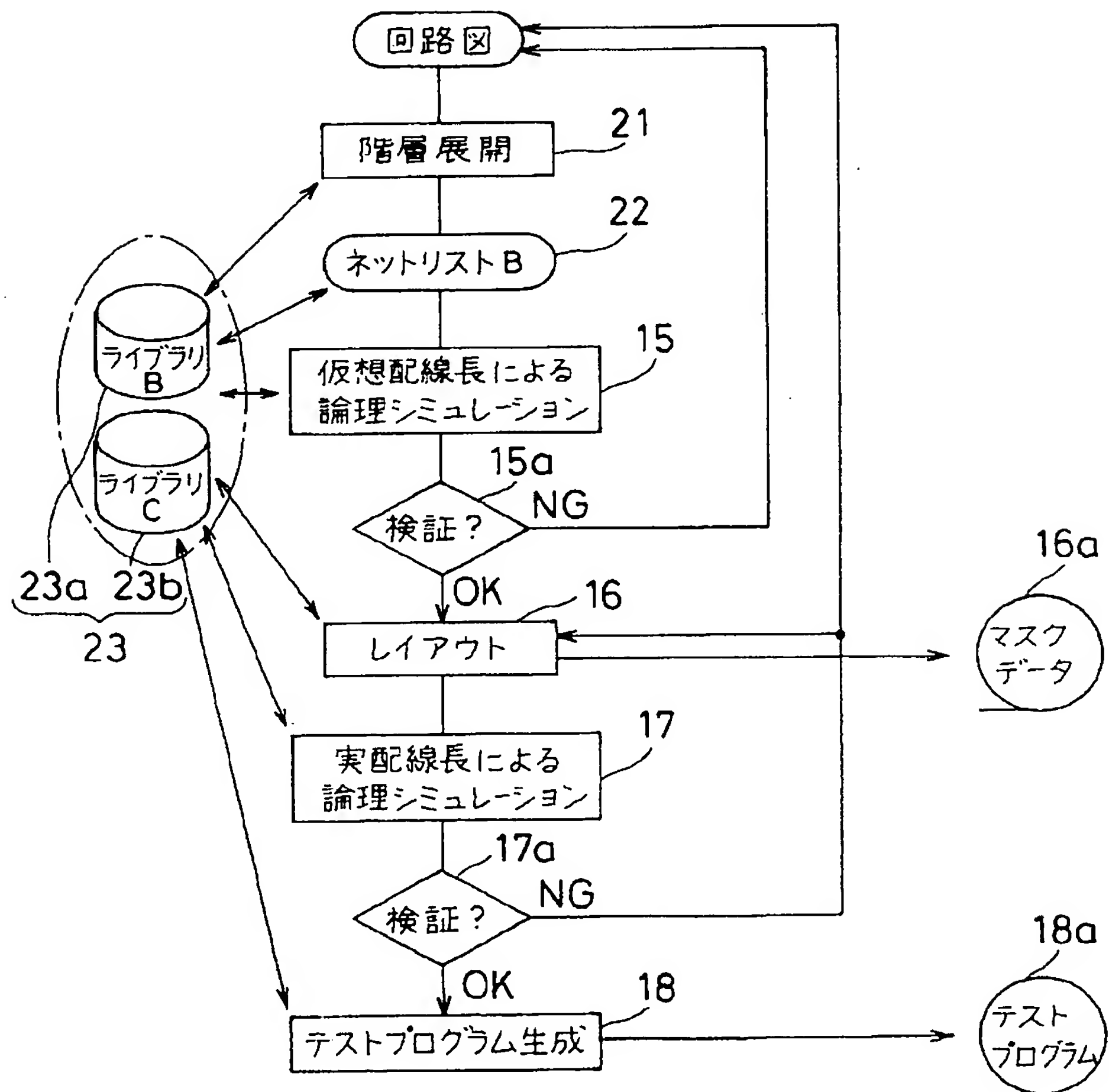


【図2】

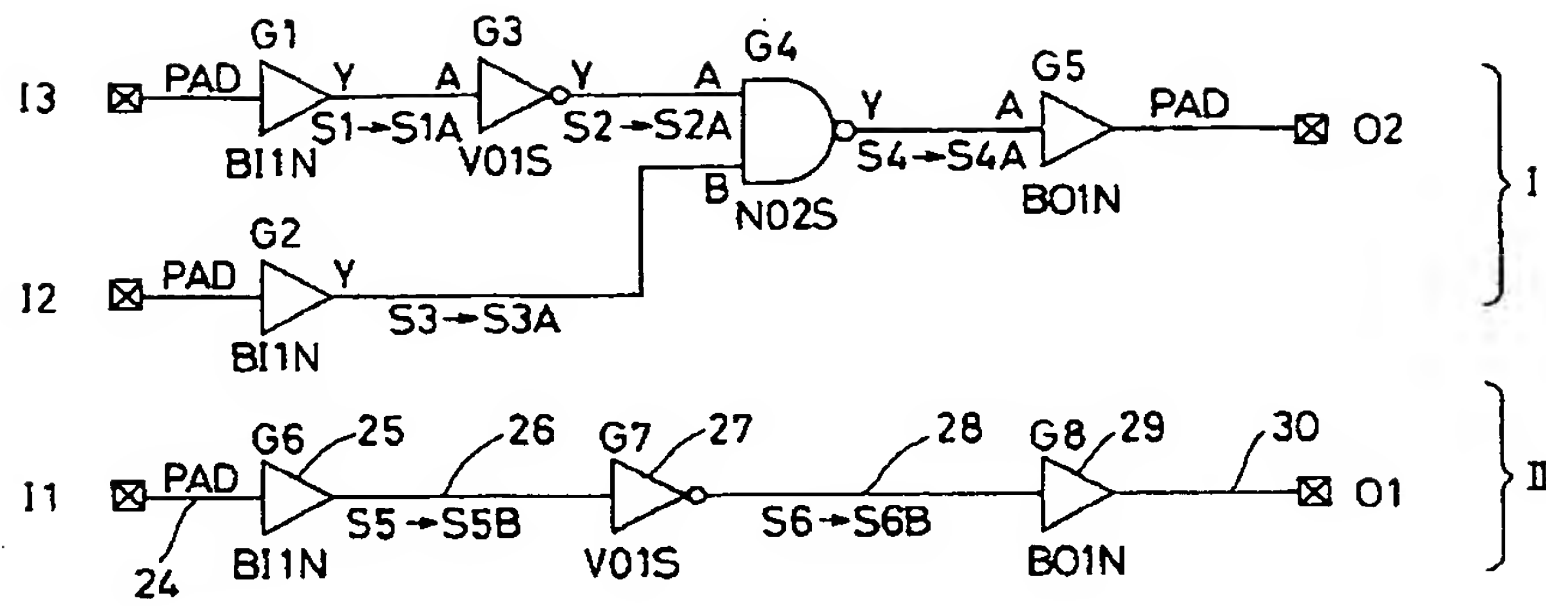


【図3】

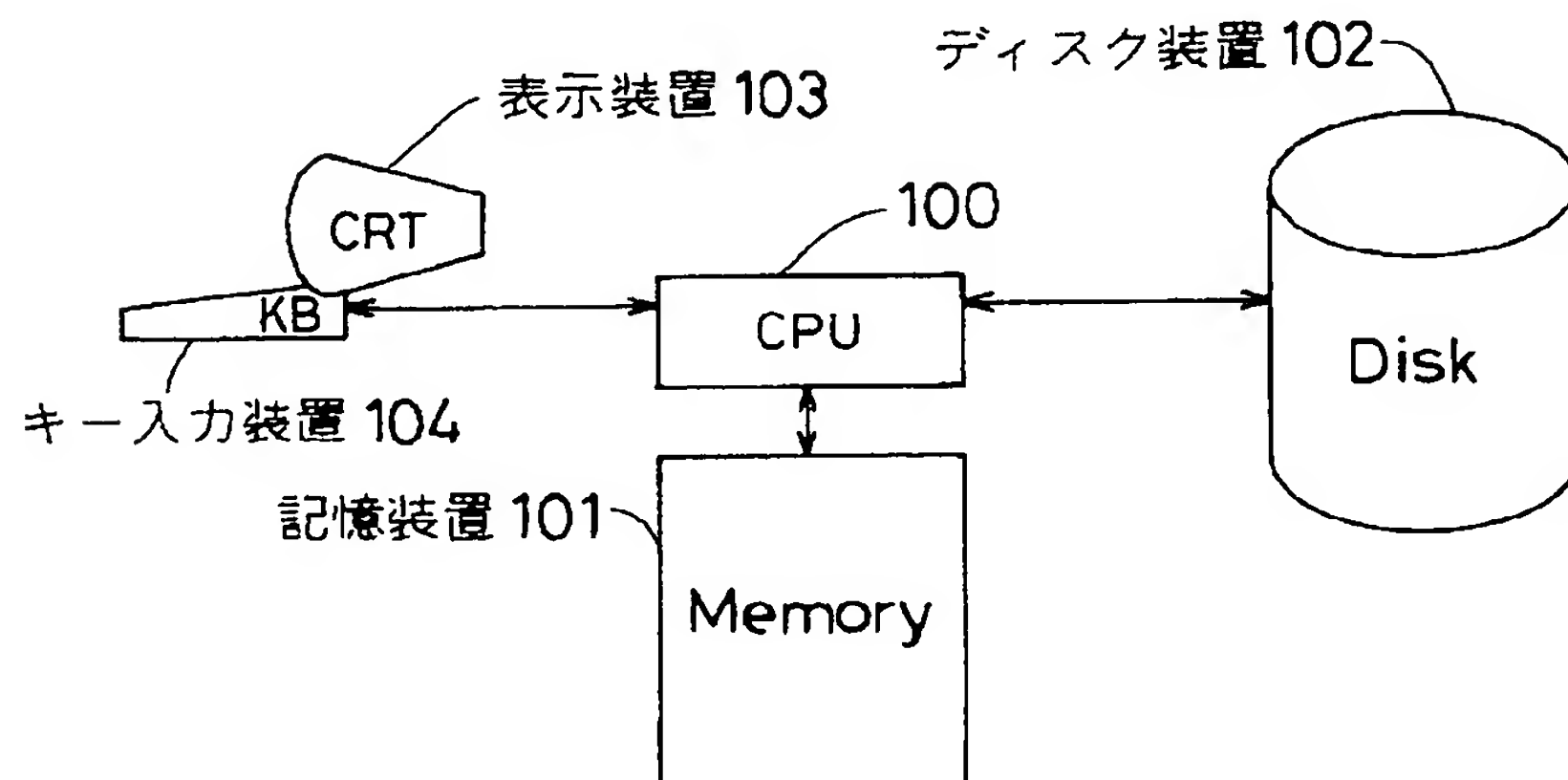
Fig. 3



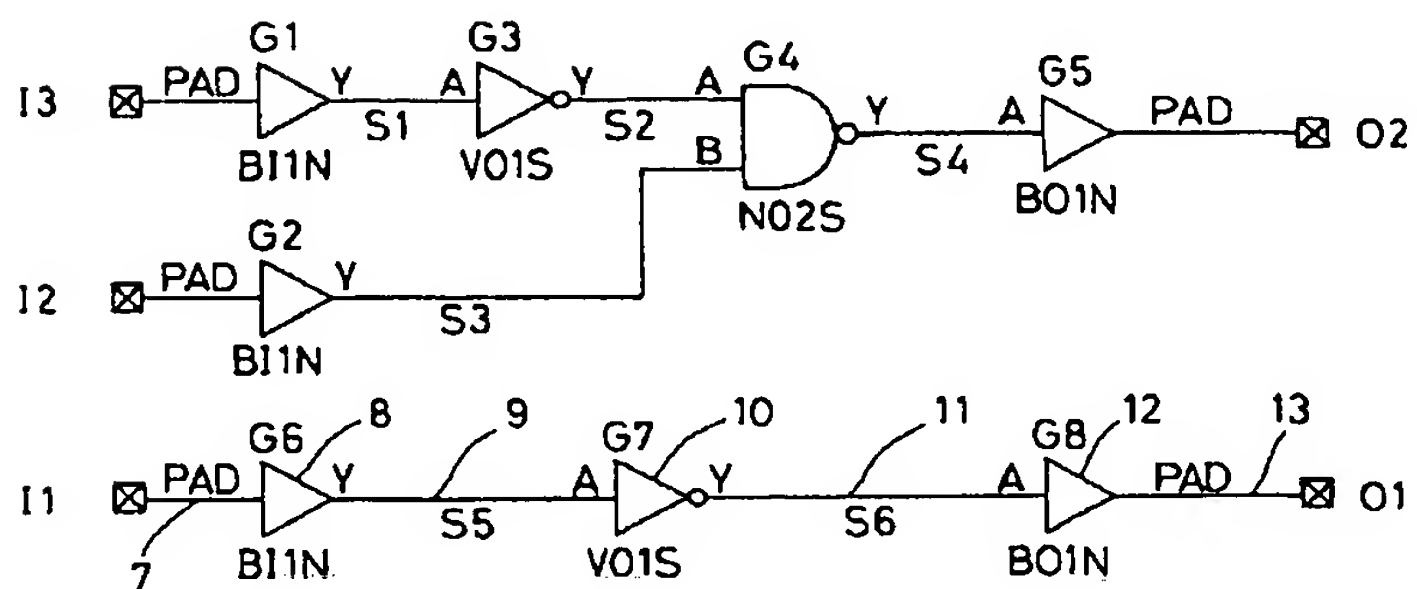
【図4】



【図5】 Fig. 5



【図7】



【図6】

